

Architettura degli Elaboratori

A.A. 2006-2007 – 26 giugno 2007

Domanda 1

Un'unità E riceve coppie di valori (A, C) da una unità IN. A è di 32 bit e C di 8 bit. E è collegato in uscita alle unità W_0, \dots, W_7 . Il valore di A viene inviato ad una di queste unità (W_i) a condizione che $\text{CHECKSUM}(A)$ sia uguale a C, dove:

- il risultato della funzione CHECKSUM di un numero naturale è uguale alla somma dei byte che compaiono nel numero,
- l'unità W_i è una qualsiasi tra le W_0, \dots, W_7 che sia disposta a ricevere il dato.

Se $\text{CHECKSUM}(A)$ è diverso da C, l'unità E non effettua nessuna comunicazione in uscita.

Si realizzi U in modo da minimizzare il numero degli stati interni della Parte Controllo, fornendo, in particolare:

- a) il microprogramma dell'unità,
- b) la sua Parte Operativa,
- c) il calcolo dettagliato del suo ciclo di clock.

Domanda 2

Si dettigli il codice (nell'assembler RISC visto a lezione) relativo all'implementazione di una *send* sincrona nella quale la comunicazione avvenga "alla pari", ovvero senza copie intermedie nel buffer di canale.

Si spieghi la struttura dati canale utilizzata e si discuta il tipo di indirizzi utilizzati da processo mittente e processo destinatario per il messaggio, la variabile targa ed altre variabili condivise riferite indirettamente.

Nel codice assembler RISC si possono utilizzare chiamate a procedure "predefinite", per esempio relative alla schedulazione, purché accompagnate da una descrizione informale (a parole) della loro semantica.

Domanda 3

- 1) Si consideri un sistema con pagine di memoria virtuale di ampiezza pari ad 1K parole. Si dica se da questa specifica è possibile dedurre informazioni sulle caratteristiche della memoria cache (capacità, ampiezza del blocco, metodo di indirizzamento, ecc).
- 2) Una memoria cache ha un tempo di accesso pari a 3τ . Determinare la banda di accesso in memoria massima (in assenza di fault) per il processore.
- 3) Si calcoli il tempo di accesso in lettura ad una memoria da 1M parole realizzata utilizzando componenti logici di memoria da 16K parole, ognuno con tempo di accesso pari a $5t_p$.