

Architettura degli elaboratori – A. A. 2019-20 – Corso A

Secondo appello – 6 febbraio 2020

*Riportare su tutti i fogli consegnati in alto a destra Nome, Cognome, Matricola e Corso di appartenenza (A/B).
I risultati saranno resi pubblici via WEB appena disponibili assieme al calendario degli orali.*

Domanda 1

Si fornisca il codice assembler ARM risultante dalla compilazione dello pseudocodice (assumiamo che $k < M < N$):

```
i=0;
found=false;
while (!found && i<N) {
    x=0;
    for(j=0; j<M; j++) {
        if big[i+j]==small[j] { x++; }
    } // end for
    if (x<k) { i++; } else { found = true; }
} // end while
```

Il codice deve essere derivato utilizzando le regole di compilazione discusse a lezione. Del codice risultante, relativamente all'esecuzione su un processore ARM pipeline del solo ciclo for:

- si individuino i data hazard che introducono stalli
- si individuino i control hazard che introducono stalli
- si valuti il numero di cicli di clock necessari ad eseguire una iterazione del ciclo for, assumendo che la condizione (guardia) dell'if sia vera nella metà dei casi e falsa nell'altra metà.

Domanda 2

Si consideri una rete sequenziale che è dotata di un'interfaccia con un registro in ingresso X da 32 bit e un registro in uscita Z da 1 bit, oltre al segnale di clock. La rete sequenziale riceve, in due cicli di clock successivi, un primo valore I che utilizza come indice per accedere ad una memoria interna K (reg [31:0] K [0:1023] in Verilog) ed un valore V che viene confrontato con il valore della memoria interna alla posizione K[I]. A questo punto:

- Se i valori coincidono, viene mandato in uscita un 1 e si attende un terzo valore che viene confrontato con il valore contenuto in una seconda memoria interna A (reg [31:0] A [0:1023] in Verilog), sempre alla posizione I. L'esito del confronto viene utilizzato come uscita (0 => valori uguali, 1 => valori diversi).
- Se i valori non coincidono, si invia uno 0 in uscita e ci si appresta a ripetere l'intera operazione.

Si fornisca l'automa di Moore che modella la rete sequenziale e la sua codifica come modulo Verilog.