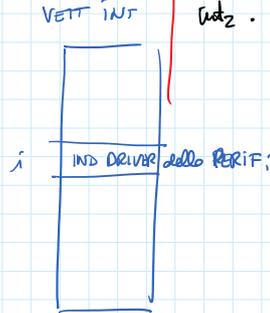


addr<sub>1</sub> ... (INT = 0) ... , dlo  
 addr<sub>0</sub> ... = 1 ) n tratt.int

LOAD R<sub>ab-int</sub>, R<sub>ci</sub>, R<sub>audler</sub>, DI  
 CALL R<sub>audler</sub>, R<sub>ret</sub>  
 GOTO R<sub>03</sub>, EI

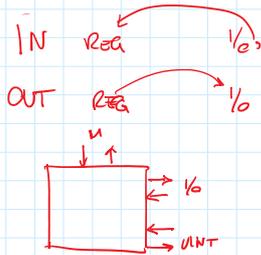
Fase assembler



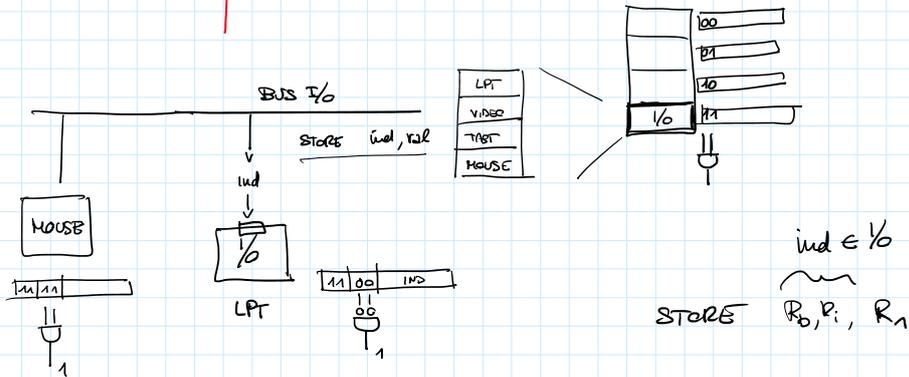
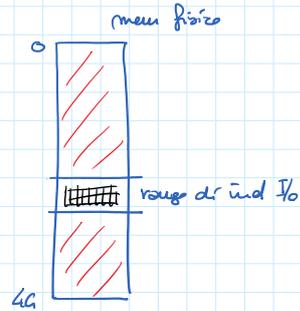
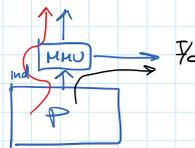
tratt.int. reset (INT), set ACKINT, int<sub>1</sub>  
 int<sub>1</sub> = (RDYinM, OR(ESITO) = 0) map, int<sub>1</sub>  
 (=10) reset RDYinM, set ACK<sub>in</sub>, DATAin → REG[61], int<sub>2</sub>  
 (=11) reset RDYinM, tratt-ecc  
 int<sub>2</sub> = (RDYinM, OR(ESITO) = 0) map, int<sub>2</sub>  
 (=10) reset RDYinM, set ACK<sub>in</sub>, DATAin → REG[62],  
 IC → REG[63], REG[60] → IC, chip  
 (=11) reset RDYinM, tratt-ecc

fase firmware

I/O con istruzioni speciali

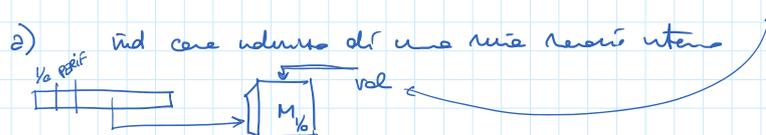


Memory mapped I/O



LATO PERIFERICA (Unità di I/O)

se mi richiedo come destinatario di un STORE IND, VAL



b) interpreto <ind, val> direttamente a livello FXV  
 per esempio val → comando da eseguire

ordine lettura del settore X (os)

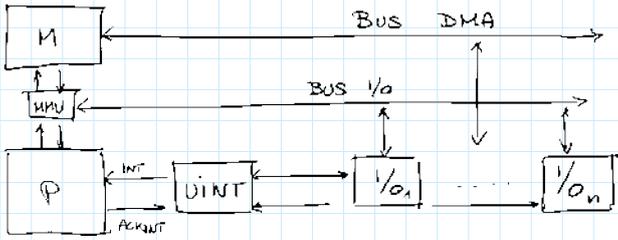
STORE Rbase-perifericedisco, #1, R<sub>X</sub>  
STORE Rbase-perifericedisco, #0, R<sub>"READ"</sub>  
↑

lettura di parametri dalla M<sub>4c</sub> → M (es. coord. mouse)

LOAD Rbase-perif-mouse, #1, R<sub>dx</sub>

LOAD Rbase-perif-mouse, #2, R<sub>dy</sub>

# DMA direct memory access (I/O)



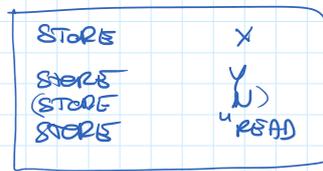
- a) I/O ha una propria MMU e usa i suoi logici che vengono tradotti internamente in fisici per accedere alla M
- b) I/O non ha una MMU e usa direttamente indirizzi fisici

## Operazioni "a blocchi"

- 1) nei parametri dell'op che viene ordinato all'I/O ci sono gli indirizzi dei buffer in memoria
- 2) I/O esegue il ciclo di trasferimento

READ ( blocco (x), ind (Y) ) →

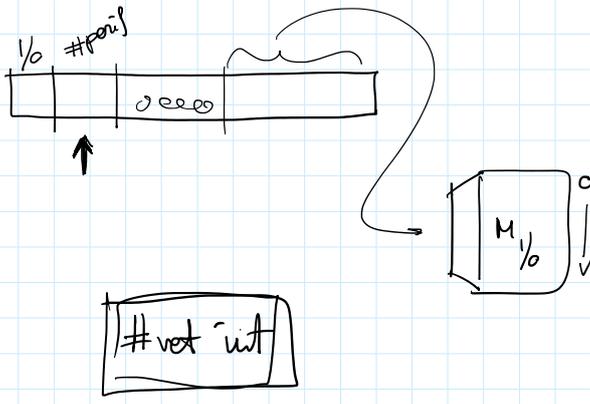
↓ disco                    ↓ in M



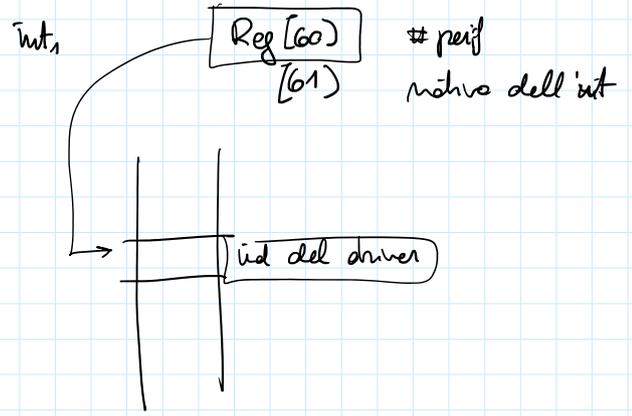
→ WAIT ⇒ cambio contesto

→ INT di fine lettura

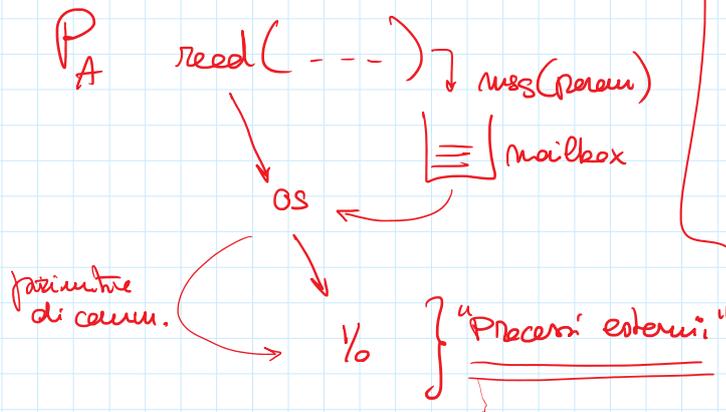
se l'op è andato a buon fine  
i dati saranno in M all'indirizzo Y



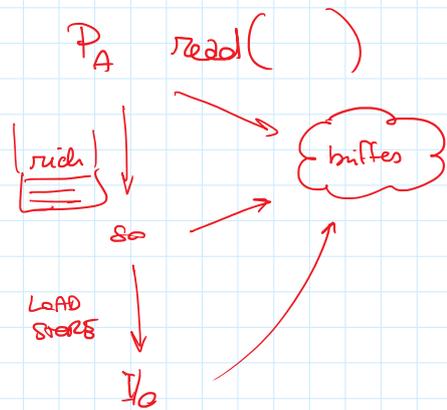
plug & play



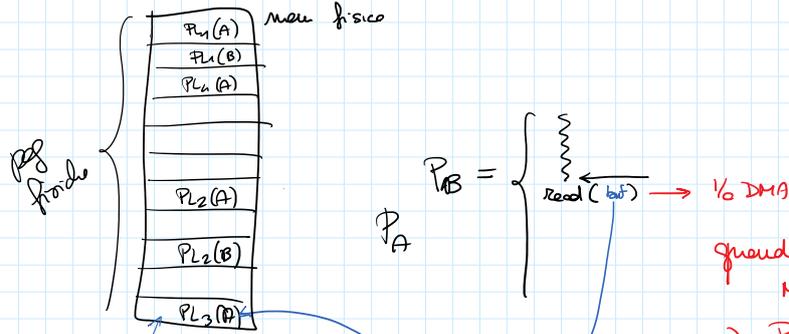
SO. scambio di messaggi



shared memory



+ gestione della memoria (paginazione dinamica)



quando avviene l'accesso DMA  
 $M \cdot 1/6 \rightarrow M$  i dati letti  
 2)  $P_B$  è sicuramente in WAIT

Candidato "vittima"  
 × la paginazione dinamica  
 da sostituire  $PL_x(C)$

per evitare problemi:

$PL_3(A)$  deve essere  
mercato come "non deallocare"  
 (non swappable)