

Esercitazione 3

Ogni esercitazione ha lo scopo di servire da guida per la preparazione su una specifica parte del corso. È fortemente consigliato che lo studente lavori indipendentemente all'esercitazione durante lo svolgimento di tale parte a lezione e prima che sia disponibile la soluzione, approfondendo criticamente i vari aspetti e accompagnando la soluzione con adeguate spiegazioni rivolte alla comprensione ed alla esposizione dei concetti del corso.

Soluzione: venerdì 5 dicembre

Domanda 1

Si consideri un programma che opera su tre array di interi $A[N]$, $B[N]$, $C[N]$, con $N = 16K$, nel seguente modo:

$$\forall i = 0 \dots N-1: C[i] = \text{numero di volte che } A[i] \text{ compare in } B$$

Compilare il programma in assembler D-RISC, strutturandolo in modo che il numero di volte che un valore intero compare in un array di N interi sia implementato come una procedura. Il passaggio dei parametri alla procedura deve essere effettuato via memoria.

Spiegare come sono stati allocati, ed eventualmente inizializzati, i registri generali, e come sono state applicate le regole di compilazione.

Spiegare quali modi di indirizzamento sono stati utilizzati nella compilazione, distinguendo tra modi primitivi in D-RISC e modi non primitivi, nel secondo caso spiegando come sono stati implementati.

Descrivere la memoria virtuale e lo spazio di indirizzamento del processo corrispondente al programma, spiegando quali locazioni della memoria virtuale sono inizializzate a tempo di compilazione. Si suppone che la memoria virtuale sia organizzata in pagine ognuna di ampiezza 1K parole; qualunque oggetto (codice o dato) deve essere allocato in un numero intero di pagine, eventualmente sprecando parti di pagine. Si suppone anche che gli oggetti da "collegare" al processo (PCB e altri meccanismi per supportare il concetto di processo e sua cooperazione con altri processi) occupino complessivamente 10K parole.

Domanda 2

Valutare il tempo di completamento del programma della Domanda 1 per una architettura con frequenza del clock della CPU di 4 GHz, memoria principale avente ciclo di clock uguale a 50 volte il ciclo di clock τ della CPU, collegamenti inter-chip con latenza di trasmissione uguale a 10τ .

Utilizzare questo programma per valutare la performance dell'architettura.

Individuare possibili caratteristiche di un set di istruzioni, più complesso di D-RISC, che permetta di ottenere un tempo di completamento inferiore, e spiegare come queste caratteristiche sono implementate.

Domanda 3

Valutare il tempo di completamento del programma della Domanda 1 per una architettura la cui CPU, rispetto alla Domanda 2, possiede anche una cache primaria operante su domanda, completamente associativa, di capacità di 64K parole, blocchi di 8 parole, scritture con il metodo Write-Through. Non è presente cache secondaria. La memoria principale, oltre ad avere le caratteristiche della Domanda 2, è interallacciata con 4 moduli.

Nel dare la valutazione, spiegare come si caratterizza il programma dal punto di vista della località e del riuso, e determinarne l'insieme di lavoro. Spiegare *se* e *come* per garantire la presenza di tale insieme di lavoro è necessario intervenire a tempo di compilazione, oppure a tempo di esecuzione.