

## Prima Esercitazione di Verifica Intermedia

**Consegna: lezione di mercoledì 25 ottobre ottobre, ore 11**

*L'elaborato, da presentare in una forma leggibile agevolmente, deve contenere spiegazioni chiare ed esaurienti, utilizzando la corretta terminologia ed i concetti del corso.*

*Insieme a nome e cognome indicare l'anno di corso di ogni studente.*

### Domanda 1

- a) Realizzare una rete combinatoria avente quattro variabili booleane di ingresso  $a, b, x, y$  e due variabili booleane di uscita  $z, w$ . La funzione delle uscite è così definita: se  $a = b$ , allora  $z = x$  e  $w = x \wedge y$ ; se  $a \neq b$ , allora  $z = y$  e  $w = x \vee y$ .

Dare due realizzazioni, una ricavata dalla tabella di verità, l'altra direttamente dalla definizione in forma algoritmica. In entrambe le soluzioni ricavare il tempo di stabilizzazione della rete.

- b) Realizzare una rete sequenziale sincrona avente tre variabili booleane di ingresso  $a, b, x$ , una variabile booleana di uscita  $z$ , ed una variabile dello stato interno: quest'ultima è indicata con  $y$  per lo stato presente e con  $Y$  per lo stato successivo. La funzione delle uscite e di transizione dello stato interno sono definite come segue: se  $a = b$ , allora  $z = x$  e  $Y = x \wedge y$ ; se  $a \neq b$ , allora  $z = y$  e  $Y = x \vee y$ .

Dare due realizzazioni come indicato al punto a) e, per entrambe, ricavare il ciclo di clock della rete.

Sia per il punto a) che per il punto b) è noto il ritardo  $t_p$  di una porta logica. Al punto b), la durata dell'impulso di clock è uguale a  $t_p$ .

### Domanda 2

Una unità di elaborazione U riceve dall'unità  $U_a$  messaggi (OP (2 bit), J (2 bit), X (32 bit), Y (32 bit)) e invia all'unità  $U_b$  messaggi (OUT1 (32 bit)), all'unità  $U_c$  messaggi (OUT2 (1 bit)), all'unità  $U_d$  messaggi (OUT3 (9 bit)).

U contiene una memoria A di capacità 32K parole, con parole di 32 bit. *Fisicamente* A è realizzata mediante 64 memorie ognuna di capacità 512 parole. *Logicamente* A è vista come composta da 256 blocchi, ognuno di 128 parole aventi indirizzi consecutivi.

Le operazioni esterne sono le seguenti:

- i) invia su OUT1 il valore di  $X + Y[J] + Y[J+1]$ ;
- ii) invia sull'uscita OUT2 un valore booleano vero se e solo se il valore di X è una potenza di 2;
- iii) considerato il blocco di A identificato univocamente dal valore di  $Y[J]$ , calcola il numero C di parole di tale blocco aventi valore minore o uguale a X, e invia il valore di C sull'uscita OUT3.

È noto il ritardo  $t_p$  di una porta logica con al massimo 8 ingressi. Una ALU ha ritardo uguale a  $5t_p$ . La durata dell'impulso di clock è uguale a  $t_p$ . Una memoria di 512 parole ha tempo di accesso uguale a  $3t_p$ .

- a) Scrivere il microprogramma di U, spiegando le scelte più significative. Per l'operazione esterna ii), utilizzare un algoritmo di complessità lineare nel numero di bit della parola e *senza* usare la funzione di shift.

- b) Per la rete sequenziale Parte Operativa: mostrare lo schema, ricavare la funzione delle uscite, ricavare la funzione di transizione dello stato interno relativamente alla parte di stato rappresentata dal registro che nella terza operazione esterna funge da contatore di passi; spiegare le risposte.
- c) Per la rete sequenziale Parte Controllo: ricavare e realizzare la funzione di transizione dello stato interno, ricavare l'espressione logica della variabile di controllo che abilita la scrittura nel registro contatore di passi di cui al punto b); spiegare le risposte.
- d) Ricavare il valore del ciclo di clock in funzione di  $t_p$ , spiegando chiaramente come sono stati ottenuti i valori dei termini che entrano a far parte della formula.
- e) Ricavare il tempo medio di elaborazione delle due operazioni esterne i) e iii).

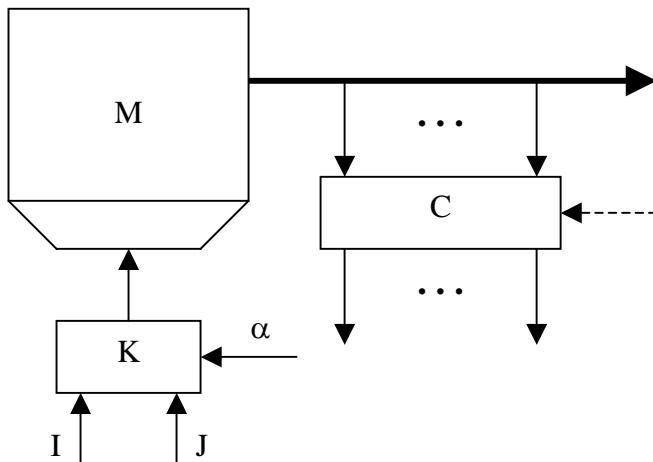
### Domanda 3

Si consideri una unità di elaborazione che, rispetto ad U della Domanda 1, ha solo le operazioni esterne i) e ii) (le interfacce vanno opportunamente modificate di conseguenza, e, ovviamente, non esiste la memoria A).

- a) Spiegare se la realizzazione di tale unità può concettualmente essere sostituita da una rete combinatoria.
- b) Nel caso sia concettualmente fattibile, realizzare tale rete combinatoria, e valutarne il ritardo di stabilizzazione facendo le stesse ipotesi della Domanda 1 sui ritardi di porte logiche e reti.
- c) Spiegare quali vantaggi e svantaggi ha una realizzazione come rete combinatoria.

### Domanda 4

Si supponga che la seguente struttura sia contenuta nella Parte Operativa di una certa unità di elaborazione.



C e le parole della memoria M sono di 32 bit,  $\alpha$  è una variabile di controllo. Il microprogramma dell'unità contiene una microistruzione del tipo:

$$i. (C_{27} = 0) \dots; (C_{27} = 1) \dots$$

Dire se la seguente affermazione è vera, falsa oppure vera sotto determinate condizioni, e spiegare esaurientemente la risposta:

“poiché

$$C_{27} = \text{if } \alpha \text{ then } M[I]_{27} \text{ else } M[J]_{27},$$

la Parte Operativa di questa unità non soddisfa la condizione necessaria per la correttezza”.